

总线胚胎电子细胞阵列中 空闲细胞数目优选

王 涛, 蔡金燕, 孟亚峰, 孟繁卿, 朱 赛

(陆军工程大学石家庄校区, 河北石家庄 050003)

摘 要: 胚胎仿生硬件技术为高可靠性大规模集成电路系统设计提供了一种新思路. 在确定规模的总线胚胎电子细胞阵列中, 为兼顾阵列的硬件资源消耗和可靠性, 本文提出了一种阵列内空闲细胞数目的优选方法. 基于多态系统可靠性理论, 利用通用生成函数建立阵列的可靠性模型. 以阵列 MOS (Metal Oxide Semiconductor) 管消耗数目为硬件资源消耗衡量指标, 建立阵列的硬件资源消耗模型. 基于阵列的可靠性和硬件资源消耗模型, 在一定设计约束条件下, 对阵列内空闲细胞数目进行优选. 仿真实验和分析表明, 该方法能够根据阵列设计要求选择最合适的阵列内空闲细胞数目, 同时, 解决了胚胎电子细胞阵列中空闲细胞数目选择依靠经验的问题.

关键词: 胚胎电子; 总线; 空闲细胞; 故障修复; 硬件资源消耗; 可靠性; 多态系统

中图分类号: TP302.1, TP302.7 **文献标识码:** A **文章编号:** 0372-2112 (2018)06-1461-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2018.06.027

Idle Cells Optimum Selection Method for Bus-Based Embryonic Electronic Cell Array

WANG Tao, CAI Jin-yan, MENG Ya-feng, MENG Fan-qing, ZHU Sai

(Shijiazhuang Division of Army Engineering University, Shijiazhuang, Hebei 050003, China)

Abstract: Embryonic bio-inspired hardware technology provides a new idea for designing large scale integrated circuit with high reliability. In the bus-based embryonic electronic cell array (BEECA) with determined scales, an idle cells optimum selection method is proposed, which finds a balance between hardware resource consumption and reliability. Based on the multi-state system reliability theory, a universal generating function (UGF) is used to establish BEECA reliability model. The consumed number of MOS (Metal Oxide Semiconductor) transistors is used to measure BEECA hardware resource consumption, and BEECA hardware resource consumption model is established. Based on the established reliability model and hardware resource consumption model, the unoccupied cell number in the array is selected under the constraints of the design. The simulation experiment and analysis indicate that the proposed design can optimize the selection, and in the meanwhile the selection can avoid the dependence on the experiences.

Key words: embryonic electronic; bus; idle cells; fault repair; hardware resource consumption; reliability; multi-state system

1 引言

胚胎电子细胞阵列是基于多细胞生物生长发育过程设计的一种新型硬件, 具有故障自检测和故障自修复的能力^[1]. 胚胎型仿生硬件技术的发展为复杂环境下高可靠性电子装备的设计提供了新思路.

经过 20 多年的研究和发展, 胚胎电子细胞阵列技术得到了极大的发展. 学者们研究了经典的二维胚胎电子阵列及自修复方法^[2]、蜂窝状胚胎电子阵列及自修复方法^[3]、自适应可重构多细胞阵列及自修复方法^[4]、原核胚胎电子阵列及自修复方法^[5]、总线胚胎电子阵列及自修复方法^[6]、基于膜计算理论的仿生

电子阵列及自修复方法^[7]和具有多种连接方式的阵列及自修复方法^[8]等。同时,研究了基于自主布线的阵列自主容错机制^[9],芯片级故障定位和自修复^[10],对电子细胞内基因存储和互联资源的自检检测^[11]也进行了研究。

空闲细胞是实现胚胎电子细胞阵列故障自修复的基础,更多的空闲细胞可以提高阵列的任务可靠性,但同时也将带来更大的硬件资源消耗。目前,在设计胚胎电子细胞阵列时,大多根据经验选择空闲细胞数目,缺乏理论支持和指导。在胚胎电子细胞阵列技术应用过程中,必须研究如何合理地选择阵列内空闲细胞数目。

分析总线胚胎电子细胞阵列的结构特点和工作原理,引入多态系统可靠性理论,利用通用生成函数方法建立阵列可靠性模型。以阵列消耗 MOS 管数目作为硬件资源消耗衡量指标,建立阵列的硬件资源消耗模型。基于建立的可靠性模型和硬件资源消耗模型,在一定设计要求下,提出了确定规模总线胚胎电子细胞阵列中空闲细胞数目的优选方法。

2 总线胚胎电子细胞阵列

多细胞生物的构成大多为细胞-组织-生物,总线胚胎电子细胞阵列是模拟多细胞生物构成而设计的一种新型阵列结构,阵列基本结构如图 1 所示。

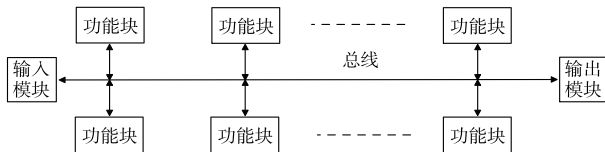


图1 总线胚胎电子细胞阵列结构

阵列主要由输入模块、功能块、总线和输出模块构成。输入模块实现外部信号到阵列的输入;输出模块实现阵列信号到外部的输出;总线是模拟生物的内分泌通信方式,实现任意功能块间一对一或一对多通信;功能块是阵列的核心部分,实现具体电路功能,功能块还具有故障检测和故障自修复能力,功能块结构如图 2 所示。

功能块主要由检测控制模块和胚胎电子细胞构成。胚胎电子细胞分为工作细胞和空闲细胞,电子细胞主要由控制单元、基因配置存储单元、输入输出单元和功能单元构成。功能块内工作细胞和空闲细胞的数目不固定,可根据具体的电路规模及电路设计要求灵活选择。检测控制模块主要实现功能块故障检测、正常工作、故障自修复和功能块间通信过程的控制功能,主要由基因配置单元、故障检测单元、输入输出单元和控制单元构成。

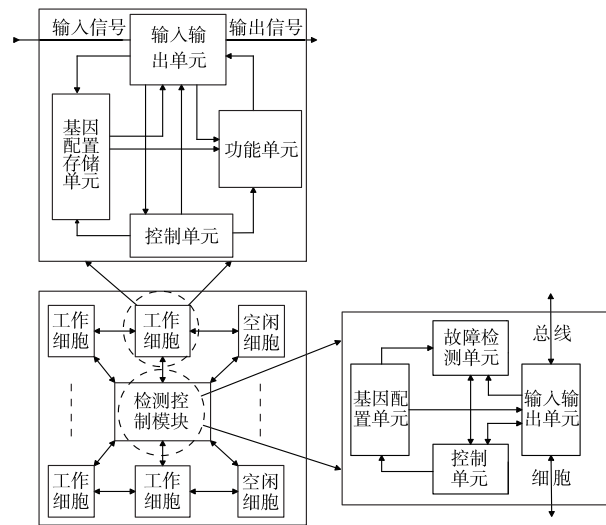


图2 功能块的结构

阵列工作过程中,首先将复杂的电路功能分解为功能块能够实现的若干简单子电路功能,然后将所有子电路功能分化映射到功能块进行实现,所有功能块配合实现整体电路功能。故障检测和自修复均发生在功能块内部,功能块间相互独立。如果功能块内出现故障,故障检测单元能够实时检测出故障并启动故障自修复功能,空闲细胞代替故障工作细胞,保证功能块正常工作。

3 基于多态系统理论的阵列可靠性建模

3.1 多态系统理论

多态系统主要分为多工作(或失效)状态系统和多性能水平系统,其中多工作(或失效)状态系统是指系统除了“正常工作”和“完全失效”两种状态外,还具有多种工作(或失效)状态^[12]。

多态系统理论能准确定义部件的多态性,能够透彻地分析部件性能的变化对系统性能和可靠性的影响,以及系统失效的渐变过程,在复杂系统可靠性分析和优化设计领域有广阔的应用前景。

3.2 总线胚胎电子细胞阵列结构特点

总线胚胎电子细胞阵列主要由功能块与总线构成,功能块间独立的完成对应电路功能,总线实现功能块间信息传递,所有功能块配合完成特定的功能电路。阵列中所有功能块都正常工作,阵列才能完成特定的电路功能,因此阵列可以近似为一个由功能块组成的串联系统。

功能块中可正常工作电子细胞数目大于工作细胞数目,功能块能够正常工作。随着故障的出现,功能块内可正常工作细胞数目不断减少。根据功能块内可正常工作电子细胞数目的不同,阵列存在不同的工作状态。

为了更加透彻的分析阵列的性能,引入多态系统理论,对阵列的可靠性进行分析和建模.

3.3 总线胚胎电子细胞阵列可靠性建模

参考文献[13]中利用 UGF 方法计算多态系统可靠性的基本步骤,对总线胚胎电子细胞阵列可靠性进行分析建模.假设阵列中功能块的数目为 S ,功能块内工作细胞的数目为 k ,总的细胞数目为 m .则一个功能块可划分为 $m-k+2$ 个工作状态,如表 1 所示.

表 1 功能块的状态及概率

j	0	1	...	x_j	...	$m-k+1$
$p_j(t)$	$p_0(t)$	$p_1(t)$...	$p_{x_j}(t)$...	$p_{m-k+1}(t)$

表 1 中 j 表示功能块的工作状态,假设电子细胞的退化规律服从指数分布,失效率为 λ ,则每个细胞的可靠度为 $e^{-\lambda t}$.其中状态 0 为故障状态,即功能块内可正常工作电子细胞数小于 k ,状态 0 对应的概率 $p_0(t)$ 为

$$p_0(t) = \sum_{i=1}^{k-1} C_m^i e^{-i\lambda t} (1 - e^{-\lambda t})^{m-i} \quad (1)$$

状态 1 表示功能块内可正常工作电子细胞数刚好为 k ,状态 1 对应的概率 $p_1(t)$ 为

$$p_1(t) = C_m^k e^{-k\lambda t} (1 - e^{-\lambda t})^{m-k} \quad (2)$$

状态 x_j 表示功能块内可正常工作电子细胞数为 x_j+k-1 ,状态 x_j 对应的概率 $p_{x_j}(t)$ 为

$$p_{x_j}(t) = C_m^{x_j+k-1} e^{-(x_j+k-1)\lambda t} (1 - e^{-\lambda t})^{m-x_j-k+1} \quad (3)$$

状态 $m-k+1$ 表示功能块内电子细胞均可以正常工作,状态 $m-k+1$ 对应的概率 $p_{m-k+1}(t)$ 为

$$p_{m-k+1}(t) = C_m^m e^{-m\lambda t} (1 - e^{-\lambda t})^0 \quad (4)$$

为简化阵列工作状态及对应概率计算的复杂性,假设功能块结构完全相同,所有功能块的状态数和各个状态对应的概率分布均相同.功能块的工作状态可表示为 $X_\nu = \{0, 1, \dots, m-k+1\}$,功能块工作状态对应的概率可表示为 $P_\nu = \{p_0(t), p_1(t), \dots, p_{m-k+1}(t)\}$ (其中 $1 \leq \nu \leq S$).为计算阵列的工作状态及概率,设 $A = \{0, 1, 2, \dots, a\}$, $B = \{0, 1, 2, \dots, b\}$,定义 θ 运算符.

$$\theta(A, B) = \{A(\varepsilon) \times B(\tau)\} \quad (5)$$

θ 运算符表示多个集合中的元素对应相乘形成新的集合,式(5)中 $1 \leq \varepsilon \leq a+1$, $1 \leq \tau \leq b+1$.

总线胚胎电子细胞阵列可靠性计算步骤如下:

- (1) 计算阵列工作状态 $X = \theta(X_1, X_2, \dots, X_S)$;
- (2) 计算阵列各个工作状态对应的概率 $P = \theta(P_1, P_2, \dots, P_S)$;
- (3) 计算阵列能够正常工作的概率.功能块刚好正常工作作为状态 1,要保证阵列正常工作,阵列对应的工

作状态 $X \geq 1$,则阵列正常工作的概率可表示为 $p_b = \sum P(X \geq 1)$;

(4) 计算阵列的 MTTF.阵列的可靠度 $R_b(t)$ 等于 P_b ,所以阵列的 MTTF 可以表示为 $T_b = \int_0^\infty R_b(t) dt$.

4 总线胚胎电子细胞阵列硬件资源消耗建模

阵列的硬件资源消耗主要有连线消耗 H_b 、电子细胞硬件消耗 H_c 和检测控制模块硬件消耗 H_d .假设实现某功能电路需要消耗工作细胞的数目为 C ,工作细胞与空闲细胞比为 β ,功能块内工作细胞数目为 F_c ,功能块的数目为 $f = \lfloor C/F_c \rfloor$, $\lfloor \cdot \rfloor$ 表示向上取整运算.阵列的硬件资源消耗 H 近似为

$$H = H_c + H_b + H_d \times \lfloor C/F_c \rfloor \quad (6)$$

4.1 胚胎电子细胞硬件资源消耗

为了定量分析阵列的硬件资源消耗,采用集成电路中最基本的单元—MOS 管消耗数目作为阵列硬件资源消耗的衡量指标.

胚胎电子细胞只存储工作基因和备份基因,设工作基因的宽度为 l .使用 D 触发器型寄存器存储基因,每位基因使用一个 D 触发器,经典上升沿触发 D 触发器需要 24 个 MOS 管^[14],细胞基因存储的硬件消耗 H_{jc} 为

$$H_{jc} = l \times 24 \times 2 = 48 \times l \quad (7)$$

输入输出单元中主要硬件消耗来源是输入单元,电子细胞需要 4 个多选 1 数据选择器.根据功能块的输入位数和功能块内电子细胞数目,选择不同规模的数据选择器,多路数据选择器主要有 4 选 1、8 选 1、16 选 1、32 选 1 和 64 选 1 等.假设功能块的输入为 M_1 位,功能块中电子细胞数目为 $F_c + F_c/\beta$,则输入输出单元的硬件资源消耗 H_{cio} 为

$$H_{cio} = \begin{cases} 32 \times 4, M_1 + F_c + F_c/\beta \leq 4 \\ 84 \times 4, M_1 + F_c + F_c/\beta \leq 8 \\ 188 \times 4, M_1 + F_c + F_c/\beta \leq 16 \\ 396 \times 4, M_1 + F_c + F_c/\beta \leq 32 \\ 792 \times 4, M_1 + F_c + F_c/\beta \leq 64 \end{cases} \quad (8)$$

功能单元主要由 1 个 4 输入查找表构成,本质是一个具有 4 位地址线的 16×1 RAM,根据文献[8]关于 SRAM 存储器 MOS 管消耗的分析,功能单元消耗 MOS 管数目为 178 个.控制单元主要实现控制信号的传递,硬件资源消耗相对基因存储可近似忽略不计.电子细胞内部连线不能用 MOS 管消耗数目来计算,因此建模过程不考虑.

阵列中电子细胞的硬件资源消耗 H_c 为

$$H_c = (l \times 48 + H_{cio} + 178) \times (C + C/\beta) \quad (9)$$

4.2 检测控制模块硬件资源消耗

假设功能块实现 M 位输入 N 位输出的电路功能,故障检测单元需要存储 $M \times N$ 位电路实际输出信息,每个输出端需要 N 个 2 输入 XOR 门,1 个 N 输入的 OR 门. 2 输入 XOR 门消耗 9 个 MOS 管^[14], 1 个 N 输入 OR 门由 $N-1$ 个 2 输入 OR 组成, 2 输入 OR 门消耗 6 个 MOS 管^[14]. 故障检测单元硬件资源消耗 H_{fd} 为

$$H_{fd} = 39 \times M \times N - 6 \times M \quad (10)$$

基因存储单元主要存储功能块的输入标志位信息、输出标志位信息及输出选择控制信息. 标志位的宽度为 $\lceil \sqrt{C/F_c} \rceil$ 位, 对于有 N 个输出的功能块, 共需要 $\lceil \sqrt{F_c + M} \rceil \times N$ 位选择信息. 基因存储单元的硬件资源消耗 H_g 为

$$H_g = (2 \times \lceil \sqrt{C/F_c} \rceil + \lceil \sqrt{F_c + M} \rceil \times N) \times 24 \quad (11)$$

输入输出单元主要由输入输出寄存器与数据缓冲器构成, 寄存器位数和数据缓冲器个数与总线宽度相同. 总线中地址总线宽度为 $\lceil C/F_c \rceil$ 位, 数据总线宽度为 s_1 位, 控制总线宽度为 5 位. 一位非反向数据缓冲器由 4 个 MOS 管构成, 输入输出单元的硬件资源消耗 H_{io} 为

$$H_{io} = 56 \times (\lceil C/F_c \rceil + s_1 + 5) \quad (12)$$

控制单元主要的硬件消耗为状态机中状态信息的存储, 状态机需要存储 $(F_c + F_c/\beta) \times F_c$ 个 $F_c + F_c/\beta$ 位的状态信息, 则控制单元的硬件资源 H_{dc} 为

$$H_{dc} = (F_c + F_c/\beta)^2 \times F_c \times 24 \quad (13)$$

检测控制模块的硬件资源消耗 H_d 可近似为

$$H_d = 39 \times M \times N - 6 \times M + (2 \times \lceil \sqrt{C/F_c} \rceil + \lceil \sqrt{F_c + M} \rceil \times N) \times 24 + 56 \times (\lceil C/F_c \rceil + s_1 + 5) + (F_c + F_c/\beta)^2 \times F_c \times 24 \quad (14)$$

由于总线资源消耗无法用 MOS 管进行分析, 且总线消耗相对于基因存储消耗小得多, 所以总线的硬件资源消耗不予分析.

因此, 总线胚胎电子细胞阵列的硬件资源消耗 H 为

$$H = H_c + H_b + H_d \times \lceil C/F_c \rceil = [39 \times M \times N - 6 \times M + (2 \times \lceil \sqrt{C/F_c} \rceil + \lceil \sqrt{F_c + M} \rceil \times N) \times 24 + 56 \times (\lceil C/F_c \rceil + s_1 + 5) + (F_c + F_c/\beta)^2 \times F_c \times 24] \times \lceil C/F_c \rceil + (l \times 48 + H_{cio} + 178) \times (C + C/\beta) \quad (15)$$

5 确定规模总线胚胎电子细胞阵列内空闲细胞选择

为合理选择阵列中功能块内空闲细胞数目, 兼顾阵列的可靠性与硬件资源消耗, 在阵列可靠性和硬件资源消耗建模分析的基础上, 提出了一定约束条件下

确定规模阵列内空闲细胞数目优选方法.

5.1 确定规模阵列内空闲细胞数目优选方法

确定规模阵列中功能块内空闲细胞数目优选方法如下:

(1) 确定阵列规模、功能块内电子细胞数目及约束条件;

(2) 功能块内选取不同数目的空闲细胞, 分别计算对应阵列的可靠性和硬件资源消耗;

(3) 根据功能电路设计要求, 对比功能内选择不同数目空闲细胞阵列的可靠性和硬件资源消耗, 按照设计要求选择最合理空闲细胞数目.

如果只要求阵列的可靠性大于某一个值, 选择满足可靠性要求且硬件资源消耗最小的功能块内空闲细胞数目; 若只要求阵列的硬件资源消耗小于某一个值, 选择满足硬件资源消耗要求且可靠性最大的功能块内空闲细胞数目; 若对阵列的可靠性和硬件资源消耗同时进行要求, 在满足设计条件的区间内任意选择一个空闲细胞数目.

5.2 仿真分析

为对提出的总线胚胎电子细胞阵列中空闲细胞数目优选方法进行仿真验证, 选择文献[6]中模糊控制系统中的模糊控制器为研究对象, 模糊控制系统的结构如图3所示.

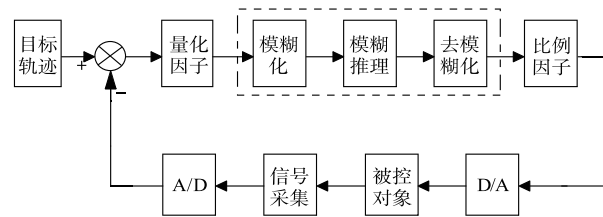


图3 模糊控制系统

模糊控制器由模糊化、模糊推理和去模糊化三部分组成. 基于总线胚胎电子细胞阵列实现模糊控制器需要 48 个工作细胞, 假设功能块内共 9 个电子细胞, 分别研究以下三种设计条件下功能块内空闲细胞数目的优选.

- (1) 阵列 MOS 管消耗数目小于 4.5×10^5 .
- (2) 阵列 MTTF 大于 3.5×10^3 h.
- (3) 阵列 MTTF 大于 5×10^3 h, 且阵列 MOS 管消耗数目小于 4.5×10^5 .

参考 GJB 2649A-2011, 普通 M 级军用电子元件的失效率等级通常为 0.1%/1000h. 电子细胞由普通的电子元件组成, 假设电子细胞的失效率 $\lambda = 6 \times 10^{-5}$ /h.

功能块内空闲细胞数目 l 为整数, 因此选取 $l = 1, 2, 3, 4, 5, 6, 7$ 和 8, 对应阵列功能块的数目 $S = 6, 7, 8, 10, 12, 16, 24$ 和 48, 阵列内总的空闲细胞数目分别为

6、9、24、42、60、96、168 和 384。根据第 3 节阵列可靠性建模分析,功能块内选择不同空闲细胞数目阵列的可靠度曲线如图 4 所示,阵列的 MTTF 变化如图 5 所示。

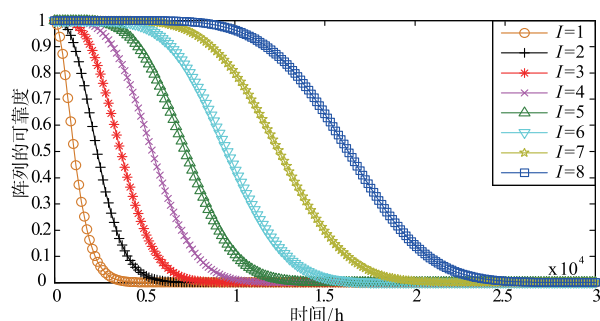


图4 功能块内选择不同空闲细胞数目阵列的可靠度

图 4 为功能块内选取不同数目空闲细胞阵列的可靠度变化曲线,随着时间的增加,阵列的可靠度均从 1 开始不断下降,最后趋近于 0。阵列内工作细胞数目一定时, I 从 1 增加到 8,阵列内总的空闲细胞数目不断增加,阵列可自修复的次数就更多,阵列的可靠度下降越缓慢。同时,阵列可自修复的次数相差越来越大,所以阵列的可靠度曲线间隔越来越大。

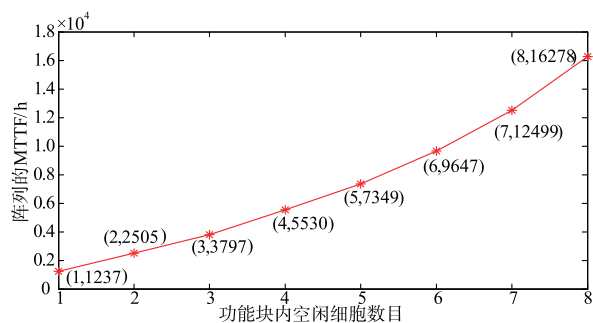


图5 功能块内选择不同空闲细胞数目阵列的MTTF

图 5 为功能块内选择不同数目空闲细胞对应阵列的 MTTF,随着功能块内 I 的增加,阵列的 MTTF 不断增加,且增加的速率越来越快。阵列内总的工作细胞数目一定, I 从 1 增加到 8,阵列能够修复的故障次数不断增加,因此阵列的 MTTF 不断增加。同时,不同阵列间空闲细胞数目的差值越来越大,因此阵列 MTTF 的增长速率不断增加。

功能块内 I 为 1、2 和 3 时,阵列中 S 为 6、7 和 8,阵列内总空闲细胞数目为 6、9 和 24。阵列内 I 增加,能够提高阵列的 MTTF,但是阵列是由功能块组成的串联系统,阵列内 S 越多,阵列出现故障的概率也将增加,会降低阵列的 MTTF,所以在功能块内 I 为 1、2 和 3 时,阵列的 MTTF 近似成线性增加。同理,当功能块内 I 为 3、4 和 5 时,阵列的 MTTF 近似成线性增加。当功能块内 I 为 5、6 和 7 时,阵列的 MTTF 近似成线

性增加。

I 从 1 增加到 8,总线的宽度分别为 18、18、18、19、19、19、20 和 22,总线数据的宽度为 8 位,功能块的输入 $M=8$,功能块的输出与总线内工作细胞的个数相关,考虑到总线数据位的宽度,所以 $N=8、7、6、5、4、3、2$ 和 1。由第 4 节阵列硬件资源消耗分析可知,不同功能块内空闲细胞数目对应的阵列的 MOS 管消耗数目如图 6 所示。

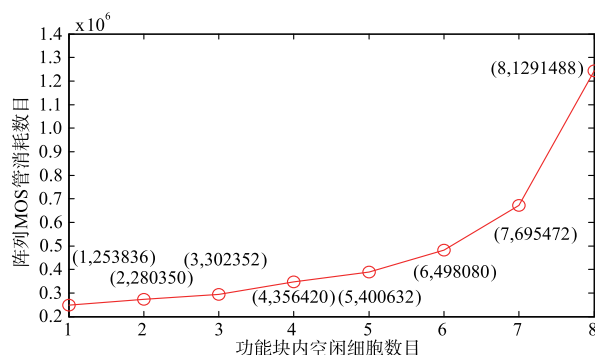


图6 功能块内选择不同空闲细胞数目阵列MOS管消耗

图 6 为阵列中功能块内选择不同数目的空闲细胞,对应阵列消耗 MOS 管数目。功能块内电子细胞消耗的 MOS 管数目相同,随着功能块内 I 的增加,检测控制模块的 MOS 管消耗会有一些的减少,但相对于功能块消耗的 MOS 管数目可近似不计,所以功能块的 MOS 管消耗数目基本一致。阵列内 S 不断增加,且增加的数量越来越多,因此阵列消耗的 MOS 管数目不断增加,且增加的速率越来越快。

功能块内 I 为 1、2 和 3 时,阵列中 S 为 6、7 和 8,功能块内电子细胞 MOS 管消耗数目一定,功能块内 I 增加,故障检测模块 MOS 管消耗数目有一定减少,因此阵列 MOS 管消耗数目近似成线性增加。同理,当功能块内 I 为 3、4 和 5 时,阵列 MOS 管消耗数目近似成线性增加。

根据功能块内选择不同的空闲细胞数目阵列可靠性和硬件资源消耗分析,不同设计要求下阵列内空闲细胞数目选择如下。

优选条件(1)中要求阵列的 MOS 管消耗数目小于 4.5×10^5 ,由图 6 可知,功能块内空闲细胞的数目应小于 6。由图 5 可知,随着功能块内空闲细胞数目的增加,阵列的 MTTF 不断增加,所以此时选择功能块内空闲细胞的数目为 5,阵列可以获得最大的 MTTF。

优选条件(2)要求阵列 MTTF 大于 3.5×10^3 h。由图 5 可知,功能块内空闲细胞数目应该大于 2。由图 6 可知,随着功能块内的空闲细胞数目增加,阵列的 MOS 管消耗数目也不断增加,因此此时选择功能块内的空闲细胞数目为 3,阵列的硬件资源消耗最少。

优选条件(3)要求阵列 MTTF 大于 5×10^3 h,且 MOS 管消耗数目小于 4.5×10^5 . 由图 5 可知,功能块内空闲细胞的数目应大于 3. 由图 6 可知,功能块内的空闲细胞数目应小于 6. 综合阵列 MTTF 和硬件资源消耗设计要求,此时阵列中功能块内的空闲细胞数目应处于 3 至 6 之间,即选择功能块内的空闲细胞数目为 4 或者 5 均可以满足设计要求.

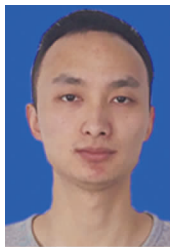
6 结论

本文建立了基于多态系统理论的阵列可靠性模型,在阵列可靠性和硬件资源消耗分析建模基础上,提出了一定约束条件下,确定规模总线胚胎电子细胞阵列空闲细胞数目优选方法,并通过仿真实验对提出的空闲细胞数目优选方法进行了验证. 该方法能够在满足设计要求的前提下,选择阵列内最合理的空闲电子细胞数目,对于总线胚胎电子细胞阵列的实际应用设计具有重要指导作用.

参考文献

- [1] 蔡金燕,朱赛,孟亚峰. 一种新型的仿生电子细胞基因存储结构[J]. 电子学报,2016,44(8):1915-1923.
CAI Jin-yan, ZHU Sai, MENG Ya-feng. A novel gene memory structure for bio-inspired electronic cell[J]. Acta Electronica Sinica,2016,44(8):1915-1923. (in Chinese)
- [2] ORTEGA C, TYRRELL A M. Biologically inspired reconfigurable hardware for dependable applications[A]. IEE Half-Day Colloquium on Hardware Systems for Dependable Applications[C]. London, UK: IEE, 1997. 1-4.
- [3] TYRRELL A M, SUN H. A honeycomb development architecture for robust fault-tolerant design[A]. First NASA/ESA Conference on Adaptive Hardware and Systems[C]. Los Alamitos, USA: IEEE Computer Society, 2006. 7-13.
- [4] XU J Q, DOU Y, LV Q, et al. Etissue: A bio-inspired match-based reconfigurable hardware architecture supporting hierarchical self-healing and self-evolution[A]. 2011 NASA/ESA Conference on Adaptive Hardware and Systems[C]. Piscataway, NJ, USA: IEEE Computer Society, 2011. 311-318.
- [5] SAMIE M, DRAGFFY G, POPESCU A. Prokaryotic bio-inspired model for embryonic[A]. Proceedings of the Forth NASA/ESA Conference on Adaptive Hardware and Systems[C]. Piscataway, NJ, USA: IEEE, 2009. 163-170.
- [6] 李廷鹏. 基于总线结构的仿生自修复技术研究[D]. 长沙:国防科学技术大学,2012.
LI Ting-peng. Research on Bio-Inspired Self-Repairing Technology Based on Bus Structure[D]. Changsha: National University of Defense Technology, 2012. (in Chinese)
- [7] 卓清琪. 基于膜计算理论的仿生电子阵列自组织与自修复方法研究[D]. 长沙:国防科学技术大学,2016.
ZHUO Qing-qi. Research on Self-Organization and Self-Repairing of Bio-Inspired Electronic Array Based on Membrane Computing[D]. Changsha: National University of Defense Technology, 2016. (in Chinese)
- [8] 朱赛. 仿生电子系统移除-进化自修复方法研究[D]. 石家庄:军械工程学院,2015.
ZHU Sai. Research on Elimination-Evolution Self-Repair Method of Bio-Inspired Electronic System[D]. Shijiazhuang: Ordnance Engineering College, 2015. (in Chinese)
- [9] 孙川. 可重构阵列自测试与容错技术研究[D]. 南京:南京航空航天大学,2010.
SUN Chuan. Research on Built-in Self-Test and Fault-Tolerant Technology for Digital Reconfigurable Array[D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2010. (in Chinese)
- [10] 郝国锋,王友仁,张砦,等. 可重构硬件芯片级故障定位与自主修复方法[J]. 电子学报,2012,40(2):384-388.
HAO Guo-feng, WANG You-ren, ZHANG Zhai, et al. In-Chip fault localization and self-repairing method for reconfigurable hardware[J]. Acta Electronica Sinica, 2012, 40(2):384-388. (in Chinese)
- [11] 郝国锋. 可重构硬件自诊断与自修复技术研究[D]. 南京:南京航空航天大学,2011.
HAO Guo-feng. Research on Self-Diagnosis and Self-Repair Technology for Digital Reconfigurable Hardware[D]. Nanjing: Nanjing University of Aeronautics and Astronautics, 2011. (in Chinese)
- [12] LISNIANSKI A, FRENKEL I, DING Y. Multi-State System Reliability Analysis and Optimization for Engineers and Industrial Managers[M]. London: Springer, 2010.
- [13] 王涛,蔡金燕,孟亚峰,等. 胚胎电子细胞阵列中空闲细胞的配置[J]. 航空学报,2017,38(4):320266.
WANG Tao, CAI Jin-yan, MENG Ya-feng, et al. Configuration of idle cells in embryonic electronic cell array[J]. Acta Aeronautica et Astronautica Sinica, 2017, 38(4): 320266. (in Chinese)
- [14] HILDER J A, WALKER J A, TYRRELL A M. Optimising variability tolerant standard cell libraries[A]. 2009 IEEE Congress on Evolutionary Computation[C]. Piscataway, NJ, USA: IEEE, 2009. 2273-2380.

作者简介



王 涛 男,1992 年生于四川南充. 现为陆军工程大学石家庄校区博士研究生. 主要研究方向为仿生电子系统设计及电子系统自修复设计.

E-mail: wangtao920110@126.com



蔡金燕 女,1961 年生于天津武清. 现为陆军工程大学石家庄校区教授、博士生导师. 主要研究方向为电子系统可靠性分析与设计, 电子系统仿生自修复设计等.

E-mail: cjrad@163.com



孟亚峰 男,1970 年生于河北石家庄. 现为陆军工程大学石家庄校区副教授、硕士生导师. 主要研究方向为电子系统可靠性分析与设计, 电子系统仿生自修复设计等.

E-mail: myfrad@163.com